

引用格式:汪旭兴,闫江,吴旦昱,等. 8GS/s-14bit RF-DAC 中数字上变频器的 ASIC 实现[J]. 微电子学与计算机,2020,37(1):27-32. [WANG X X, YAN J, WU D Y, et al. ASIC implementation of digital upconverter in 8GS/s-14bit RF-DAC[J]. Microelectronics & Computer, 2020, 37(1): 27-32.]

8GS/s-14bit RF-DAC 中数字上变频器的 ASIC 实现

汪旭兴^{1,2}, 闫江¹, 吴旦昱², 周磊²,
武锦², 贾涵博², 张飞³

(1 北方工业大学 信息学院, 北京 100144; 2 中国科学院 微电子研究所, 北京 100029;
3 大唐移动通信设备有限公司, 北京 100089)

摘 要: 本文提出了一种内嵌于 8GS/s-14bit RF-DAC 中数字上变频器(DUC)的设计方案,该方案采用 ASIC 实现,能够得到采样频率达 8 GHz 的输出信号,并提供插值因子分别为 2、4、8、16 的上变频功能. 基于 CORDIC 算法,提出 16 路时域交织的数控振荡器(NCO)结构,同时采用全半带滤波器(HB-FIR)折叠结构级联实现内插滤波器组. 基于 40 nm CMOS 工艺,完成 RTL 级设计和 GDSII 版图设计,并将其内嵌于 8 GS/s-14bit RF-DAC 中完成混合 SOC 的电路设计与验证. 测试结果显示,该设计可以在 500 MHz 的工作时钟频率下达到设计目标,数字部分的版图面积为 $2\,551 \times 2\,580\,\mu\text{m}^2$,仿真功耗约为 1 365.4 mW. 在 40 nm CMOS 工艺下流片,流片测试结果显示该芯片设计能够完成预设目标,且在插值为 16 的模式下,测得芯片数字部分功耗为 1250 mW,符合设计预期.

关键词: 数字上变频器;数控振荡器;CORDIC;ASIC;8 GHz;40 nm

中图分类号: TN43

文献标识码: A

文章编号: 1000—7180(2020)01—0027—06

ASIC implementation of digital upconverter in 8GS/s-14bit RF-DAC

WANG Xu-xing^{1,2}, YAN Jiang¹, WU Dan-yu², ZHOU Lei²,
WU Jin², JIA Han-bo², ZHANG Fei³

(1 College of Information, North China University of Technology, Beijing 100144, China;
2 University of Chinese Academy of Sciences, Beijing 100049, China;
3 DT Mobile Communication Equipment Co., Ltd., Beijing 100089, China)

Abstract: This paper proposes a design scheme of digital upconverter (DUC) embedded in 8GS/s-14bit RF-DAC. The scheme is implemented by ASIC, which can get the output signal with sampling frequency up to 8GHz and provide interpolation factors 2, 4, 8, 16 upconversion function, respectively. Based on the CORDIC algorithm, a 16-channel time-domain interleaved numerically controlled oscillator (NCO) structure is proposed, and an interpolation filter set is realized by using a full half-band filter (HB-FIR) folding structure cascade. Based on the 40nm CMOS process, the RTL-level design and GDSII layout design are completed and embedded in the 8GS/s-14bit RF-DAC to complete the circuit design and verification of the hybrid SOC. The test results show that the design can achieve the design goal at 500 MHz working clock frequency. The layout area of the digital part is $2\,551 \times 2\,580\,\mu\text{m}^2$, the simulation power consumption is about 1 365.4 mW. And the film is tested in 40 nm CMOS process, The results show that the chip design can achieve the preset target, and in the mode of interpolation 16, the power

收稿日期: 2019—04—20; 修回日期: 2019—05—22

基金项目: “新一代宽带无线移动通信网”国家科技重大专项“5G 高性能基站 A/D、D/A 转换器试验样片研发及系统级验证”
(2016ZX03001002)

consumption of the digital part of the chip is measured to be 1 250 mW, which is in line with the design expectations.

Key words: DUC; NCO; CORDIC; ASIC; 8 GHz; 40 nm

1 引言

数模转换器(DAC)是无线发射机中的重要组成部分,是连接模拟和数字两个世界的必要之门^[1], 5G 通信系统的出现对 DAC 提出了相当高的要求,要求其必须满足高分辨率、高采样率以及更高性能,同时向着天线靠拢.如今 DAC 采样率已提升至 6GSPs 甚至更高,然而,受到数字技术和微电子技术的限制,高速高精度的 DAC 采样到经过 DSP 处理的信号,仍然只是较低速度较低频率的数据,所以低速 DSP 与高速的 DAC 之间必须借助 DUC 完成对低频信号的处理,来提高信号的采样率和频率,并从基带频率调制到所需载波信号的频率^[2]. DUC 的存在,大大缓解了无线通信技术中低频低速的 DSP 与高频高速 DAC 之间的矛盾,使 5G 系统中更高频段的无线发射机系统更加容易实现.因此,现在的发射机结构越来越向着嵌入 DUC 的结构发展.

2 数字上变频器设计方案

数字上变频器的设计主要包括三部分:插值滤波器组、混频器和数控振荡器,基本框架如图 1 所示.

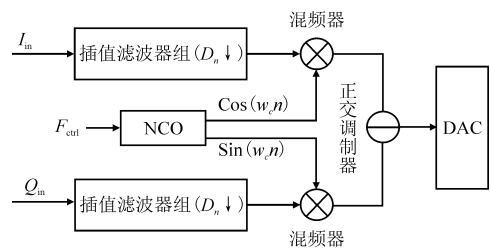


图 1 数字上变频器模块图

2.1 数控振荡器

数控振荡器是在数字域直接合成指定频率正弦波的本振信号发生器^[3],它的结构如图 2 所示,由相位累加器、相位偏移器和相位振幅映射器组成,最核心的部分是相位振幅映射器,实现相位振幅映射器的方法主要有两种,一种是只读存储器查找表法(ROM LUT),查找表法是比较传统的数字控制振荡器的实现方法,它事先根据各个相位计算好相应的正弦值,以相位的角度作为地址存储相应的正弦样本^[4],优点是简单直接,准确度也比较高,低频时

运行速度较快,但是缺点也显而易见,ROM 的读取速度存在瓶颈,分辨率较低,且消耗的资源多;另一种方法是 CORDIC (Coordinate Rotation Digital Computer)算法^[5],CORDIC 算法仅含加减法和移位就能实现实时计算,省去了复杂的乘法运算,流水线的结构保证了信号较高的精度,同时有吞吐量大、分辨率高等特点,且内部消耗资源少.因此本文采用 CORDIC 算法实现振幅映射器的结构.并提出了一种 16 路时域交织的数字控制振荡器的结构.

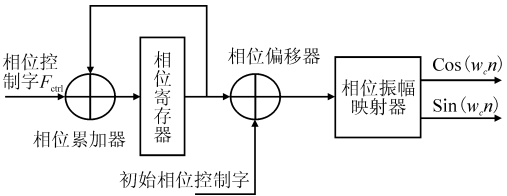


图 2 数控振荡器的结构

2.2 插值滤波器组

FIR 滤波器又可以根据其特点而分为普通 FIR 滤波器、CIC FIR 滤波器以及 HB FIR 滤波器. CIC FIR 滤波器仅用加、减法和延时单元来实现,有显著的高抽取因子的特点,但是其具有高旁瓣电平这一缺点^[6],使得在使用中不得不使用多级 CIC FIR 滤波器串联,然而这样的实现在解决上述问题的同时,又会带来通带滤波纹数增加的问题;普通 FIR 滤波器信噪比增益会比较低^[7],采取多级 FIR 滤波器级联的方式来代替单级高阶的滤波器可以解决此问题,但是又带来一定的资源损耗;HB FIR 滤波器存在系数特性:它的系数为奇数项,除了中心点以外,所有的偶数项系数都为 0,且所有的奇数项系数关于中心点对称^[3],这一系数特性使得硬件实现时,通过调整内部的乘加顺序和结构,可以减少 3/4 的硬件资源,对于高速处理器的设计来说,是非常具有优势的.本设计提出一种采用全“HB+HB+HB”FIR 级联的方案,对其中的结构采取时分复用形式,以减少硬件资源的消耗.

3 数字上变频器的设计

本设计需要内嵌于 8 GS/s-14bit RF-DAC 中,对数字上变频器提出单路插值因子分别为 2、4、8、16 以及 I、Q 两路输入时插值因子为 4、8、16 的要

求,为了输出采样率达到 8 G,设计支持 2、4、8、16 倍插值,对应输入采样率为 4 GHz、2 GHz、1 GHz 和 500 MHz. 由于上述几种工作模式下的数字上变频器都集中在一个芯片中,为了减少不必要的硬件开销,本文提出一种多相滤波器结构来实现数字上变频器,在不同模式下复用滤波器组以达到资源共享,单路时钟为 500 MHz,在插值滤波后,输出端可以实现总的采样率为 8 GHz,在完成插值之后,再用低通滤波器将插值产生的镜像信号滤除. 终上,本设计内嵌数字上变频器结构的 DAC 设计如图 3 所示.

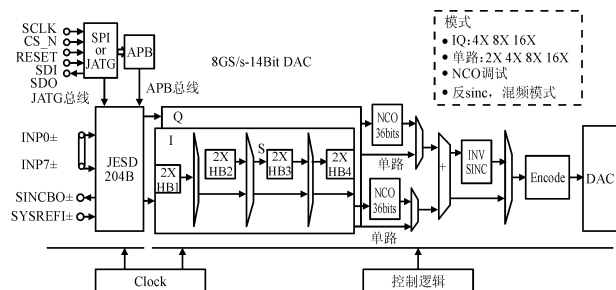


图 3 DAC 整体结构框架图

3.1 CORDIC 算法实现数控振荡器

CORDIC 算法是基于角度旋转规则提出的一种更加适合硬件实现的角度旋转方法,它的基本思想是:预先定义基本角度集 $\{\theta_i\}$,通过逐次旋转,使其逼近于我们期望得到的角度 $\{\theta\}$,同时求得相应角度的正、余弦值^[3,5].

基于 CORDIC 算法,本文为了达到 8 GHz 的输出采样率,提出了一种 16 路时域交织的数字控制振荡器结构,如图 4 所示,将单路 CORDIC 扩展成 16 路,将频率控制字(32 bits)扩展 4 bits 来控制 16 路相位振幅映射器的初始相位值,即总频率控制字为 F_{ctrl} (36 bits),相邻两路之间的相位控制字相差 $(1/16) * F_{ctrl}$,通过 16 路时域交织运算,最终输出 16 路的正交信号(正、余弦值),即可产生 16 倍于单路信号的输出采样频率,提高了时钟的采样率. 本设计的数字上变频器内嵌于 8 GS/s-14bit DAC 中,在 500 MHz 的系统时钟频率下,能够输出 0~4 GHz 带宽的本地信号.

3.2 插值滤波器组

3.2.1 单级 HB FIR 滤波器设计

根据前文可知 HB FIR 滤波器存在系数特性,在硬件实现时,可选择折叠结构,直接省去系数项为 0 的硬件开销,其结构如图 5 所示,调整其加法和乘法的顺序,可以采取先将所有对称项系数所对应的信号叠加,再与其系数相乘,这样实现 n 阶 HB FIR

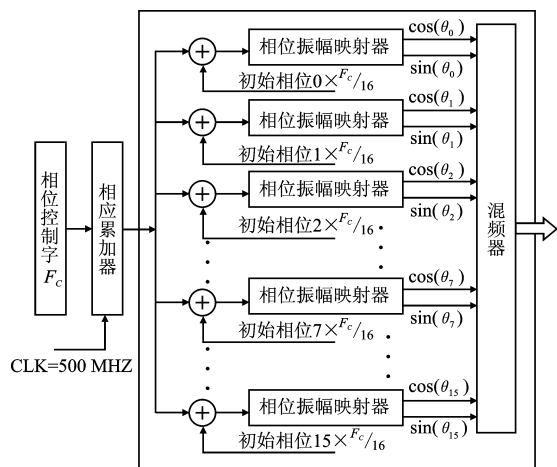


图 4 16 路时序交织结构 NCO

滤波器时,仅需要 $(n+3) * (1/2)$ 个加法器和 $(n+5) * (1/4)$ 个乘法器,在设计加法树时,可以采取流水线型的结构设计,尽管会牺牲一些面积,但是在速度上会得到很大的提升.

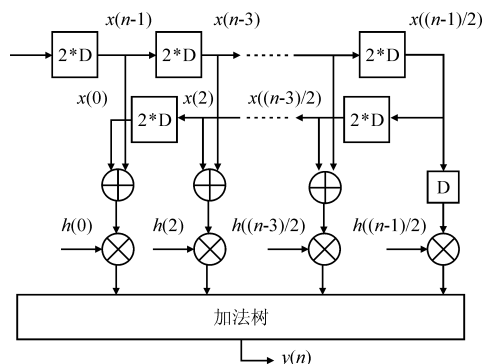


图 5 HB FIR 滤波器结构图

3.2.2 滤波器组设计

根据奈奎斯特定律^[8]以及本设计要求,在 MATLAB 滤波器分析工具 Advanced Design System 和 FDA tool 中,设计 HB 滤波器的阶数和系数,以及其级联结构,最终选取 HB FIR 滤波器的阶数分别为 59、23、11_0、11_1 共四种. FDA tool 工具设计的滤波器系数为浮点数,尽管它的的频谱图较为理想,但在实际浮点数滤波器的硬件实现时,需要消耗较多的资源^[4],因此本设计选择定点数实现,定点数在设计中会存在截位误差,会降低滤波器的精度和性能,因此在滤波器的系数选取时要选取最优化精度,各级数据精度也要最优化,本设计最终确定 HB FIR 滤波器各级精度如表 1 所示.

整个设计同时实现下面几种工作模式:单路插值因子为 2、4、8、16 的模式、NCO 调试模式以及 I、Q 两路输入时插值因子为 4、8、16 的模式,这里重点

表 1 各级 HB FIR 滤波器精度表

阶 数	系 数	累加器	输 入	输 出
59	19	19	16	16
23	16	18	16	16
11_0	16	17	16	16
11_1	16	18	16	16

关注单路插值模式和 I 、 Q 两路输入时数字上变频器的实现,以下用单路输入插值因子为 4 模式为例对该结构进行详细的介绍.插值因子为 4 时, I 路的输入采样率为 2 GHz,输入 4 路 500 MHz 多相信号,相邻的两个输入信号之间插入值 0,则四路多相信号变成 8 路多相信号,用 8 个 HB FIR 滤波器进行滤波操作,输出 8 路多相信号,实现 2 倍上变频效果,然后将这个输出信号再次进行插值滤波,输出 16 路多相信号,又一次实现 2 倍上变频,即原始的 4 路输入信号经过两次插值和滤波,最终达到 4 倍上变频的效果.该模式下,采用 59 阶 HB FIR 插值滤波器组实现第一次 2 倍上变频,23 阶 HB FIR 插值滤波器组实现第二次 2 倍上变频,具体算法如下:

设 4 路 500 MHz 的输入基带数字处理器的输出信号为 $x(n)$, $n \in Z^*$,进行第一次插值处理后信号的采样率将会变成原来的 2 倍,即变成 8 路,信号值变为:

$$x_{up}(n) = \begin{cases} x(n/2), & n = 2k, k \in Z^* \\ 0, & n = 2k + 1, k \in Z^* \end{cases}$$

首先进行第一次 HB FIR 滤波器处理,此时输入第一级 8 路 59 阶 HB FIR 滤波器,第一级的输出信号为:

$$y_{59a}(n) = \sum_{k=n-a-58}^{n-a} x_{up}(n-k)h(k), \\ n \in Z^*, a \in [0,7]$$

这里的 a 表示第一级 59 阶 HB FIR 滤波器的编号,这 8 路 59 阶 HB FIR 滤波器在任意时刻对上变频为 2 的数字信号进行滤波,此时的输出信号再进行第二次插值处理,处理后的信号变为:

$$x_{up2}(n) = \begin{cases} y_{59a}(n/2), & n = 2k, k \in Z^* \\ 0, & n = 2k + 1, k \in Z^* \end{cases}$$

此次插值后的信号变为 16 路,再将此时的信号输入到第二级滤波器组,即 16 路 23 阶 HB FIR 滤波器组,进行滤波操作后的信号为:

$$y_{23a}(n) = \sum_{k=n-a-22}^{n-a} x_{up2}(n-k)h(k), \\ n \in Z^*, a \in [0,15]$$

这里的 a 表示第二级 23 阶 HB FIR 滤波器的

编号,到此,一个 4 路 500 MHz 的输入信号,经过两次插值滤波处理,变为 16 路 500 MHz 的输出信号,即最终输出数据的采样率达到 8 GHz,再将这 16 路 500 MHz 的输出数据,经过高速 SerDes 模块进行高速数字信号并串转换,然后将 8 GHz 的单路高频信号传输给 DAC.

在另外的模式下,滤波器的级联结构根据需要有所调整,仅介绍不同的结构:

单路插值因子为 2、8、16 模式时(即只有 I 路输入),分别对应 8 路、2 路和 1 路 500 MHz 的输入信号,相邻数据之间进行插值滤波,输出 16 路 500 MHz 的信号.

I 、 Q 两路输入插值因子为 4、8、16 的模式时,对应输入 4 路、2 路和 1 路 500 MHz 的信号,且每一路信号都需要进行前文所述的插值滤波处理,最后 I 路和 Q 路分别输出 16 路 500 MHz 的信号,再分别与数控振荡器 NCO 输出的 16 路信号进行混频,把基带信号搬到了中频信号,最后经由正交调制器完成滤波处理得到输出数据.

4 数字上变频器实现、仿真及流片测试

4.1 RTL 级实现与仿真

基于前文所选择的设计方案,结合 MATLAB 设计得到的 HB FIR 滤波器的阶数,以及分析不同插值因子下的频谱,各插值因子下的频谱图如图 6 所示,整体数字上变频结构采用 ASIC 的实现方式,使用 Modelsim 对 Verilog HDL 设计代码进行功能仿真.

如图 6 所示,不同插值因子下的数字上变频器,在 8 GHz 输出采样率下,都具有良好平坦度的通频带,插值因子为 2、4、8、16 的模式下,无衰减通频带的带宽分别为 1848、924、462、232 MHz,阻带衰减低于-80 dB,通带带宽满足设计要求.

4.2 数字上变频器的 ASIC 实现

本设计基于 40 nm CMOS 工艺完成,在 DC (Design Compiler)下进行 RTL 级代码综合以及时序分析,在 Synopsys 新一代布局布线系统 ICC(IC Compiler)下,完成布局布线,并通过检查其 IR_Drop、STA、DRC、LVS 以及后仿真来确保该设计的正确性,仿真显示,输入频率为 37 MHz 的信号,经过数字上变频器的插值和滤波功能后输出信号为 16 路的多相并行信号,可以合成一路采样率为 8 GHz 的输出信号,通过仿真,验证了整个设计满足时序约束.

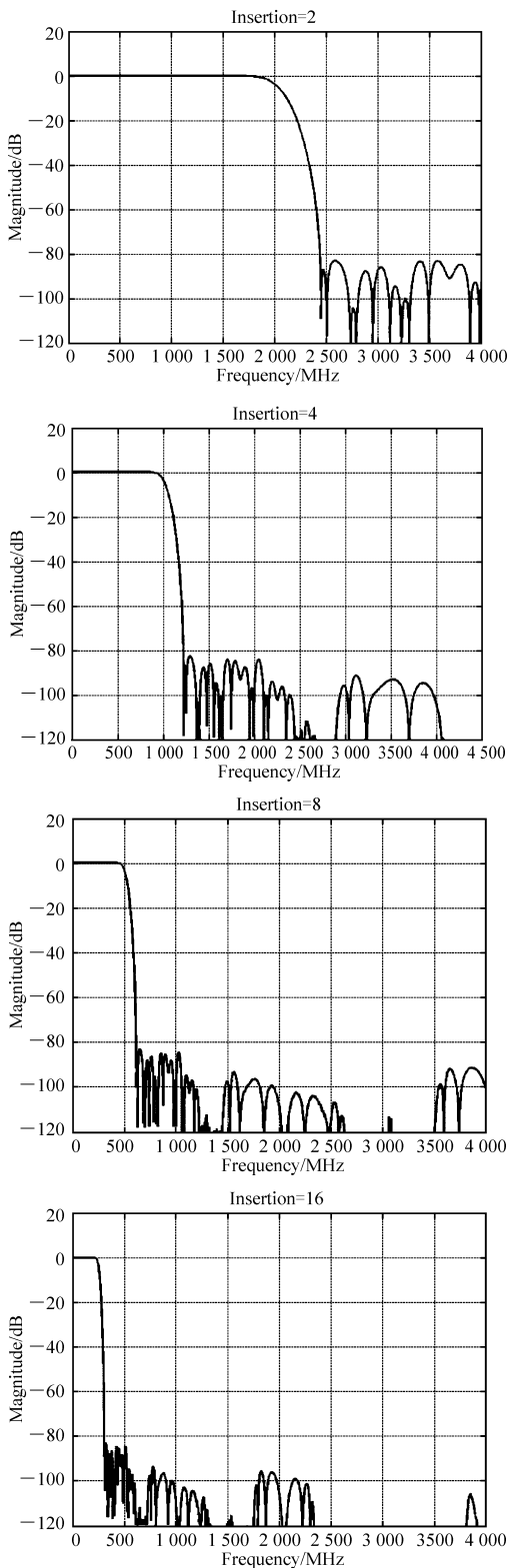


图 6 数字上变频器不同差值因子的频谱图

数字上变频器结构最终嵌入 8 GS/s—14bit DAC 中,GDSII 版图设计如图 7 所示,整体版图面积为:2 551 × 2 580 μm^2 ,通过在 ICC 中标注模块颜色得到 DUC 所占用面积约为 1 450 × 645 μm^2 ,在 0.9 V 为满幅的 VDD 电源情况下,VDD 最大的 IR

_Drop 约为 3.5%(max threshold 为 31.4 mV),VSS 最大的 IR_Drop 约为 3.5%(max threshold 为 31.86 mV),设置翻转率为 0.8(考虑较坏情况下的时候),数字部分仿真功耗约为 1 365.4 mW.

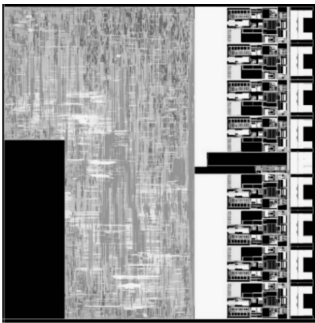


图 7 内嵌 DUC 的 DAC 版图

4.3 芯片流片测试结果

芯片测试系统如图 8 所示. DAC 的输入信号由 FPGA 或内部 NCO 产生,输出信号由频谱/信号分析仪采集.

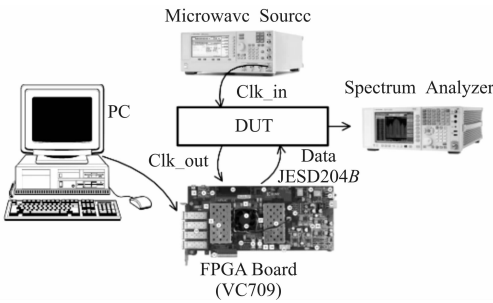


图 8 测试系统框图

图 9 为 DAC 工作在 8 GS/s 采样率下,输出 756 MHz 单音正弦波的频谱.此时 DAC 的输入数据由内部 NCO 产生,测试结果表明 NCO 工作正常,无杂散动态范围(SFDR)为 64 dBc.

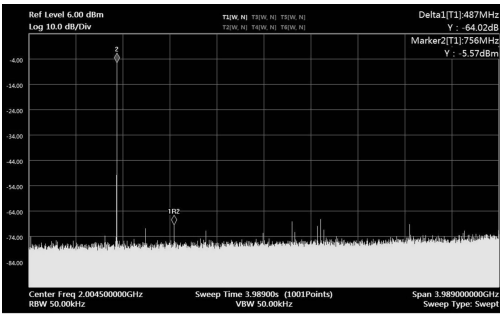


图 9 DAC 输出 756 MHz 单音信号频谱

图 10 为 DAC 输出带宽为 100 MHz 的 5G-NR 标准信号的测试结果.基带信号从 FPGA 产生,并通过 JESD204B 接口输入 DAC.经过内部插值滤波(16x)和

数字上变频后,信号的中心频率搬移到了 2.6 GHz.

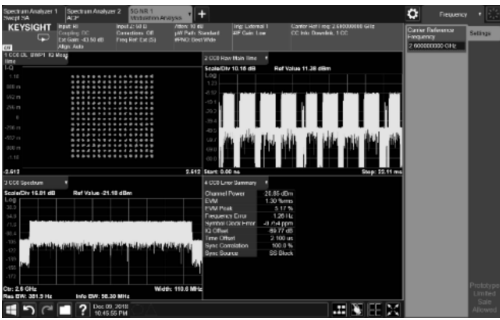


图 10 DAC 输出信号 EVM 测试结果

DAC 的输出数据由信号分析仪采集并完成解调. 该测试数据中采用了 256QAM 调制方式,从图 10 可以看出信号分析仪成功解调出了测试数据信息, EVM 值为 1.3%. 由于该工作模式调用了芯片中包括数字滤波器,数字上变频器在内的全部数字模块,该结果表明芯片数字部分工作正常. 在该模式下,芯片总功耗为 2.5 W,其中 DAC 核心部分约 490 mW, SerDes 部分功耗为 760 mW,数字部分功耗为 1 250 mW,符合设计预期.

5 结束语

本文详细介绍了 DUC 的结构,并提出一种内嵌于 8 GS/s-14bit DAC 中数字上变频器的设计方案,该方案采用 16 路时域交织的数控振荡器产生两路正交信号,并提出由不同阶数的 HB FIR 滤波器级联,选择资源共享以节省硬件开销的数字上变频器结构,在 40 nm CMOS 工艺下,完成 GDSII 版图设计和仿真,整体版图面积为:2 551 * 2 580 μm^2 ,设置翻转率为 0.8(考虑较坏情况下时),数字部分仿真功耗约为 1 365.4 mW,仿真结果显示:该数字上变频器可以在 500 MHz 时钟下,实现 2、4、8、16 的上变频功能. 最后进行流片以及流片测试,流片测试结果显示该芯片输出 756 MHz 单音正弦波时, SFDR 为 64 dBc,输出带宽为 100 MHz 的 5G-NR 标准信号,在经由内

部插值滤波(16x)和数字上变频后,信号的中心频率搬移到了 2.6 GHz,该模式下芯片的 EVM 值为 1.3%,总功耗为 2.5 W,其中 DAC 核心部分约 490 mW, SerDes 部分功耗为 760 mW,数字部分功耗为 1 250 mW,达到预期目标. 该设计为 5G 通信系统中低速数字处理器 DSP 与超高速高精度的 DAC 之间的矛盾提供了一种解决方案.

参考文献:

[1] 王敏. 模拟电路与数字电路的区别辨析[J]. 电子世界, 2014(15):185.

[2] DE FIGUEIREDO F A, FILHO J A, LENZI K G, et al. FPGA design and implementation of Digital Up-Converter using quadrature oscillator[C]//Ieee Jordan Conference On Applied Electrical Engineering And Computing Technologies. [S. l.], 2013: 1-7.

[3] 薛金鑫,马崇鹤,周磊,等. 4GS/s-12bit ADC 内置数字下变频器(DDC)的 ASIC 实现[J]. 微电子学与计算机, 2019,36(1):85-89.

[4] 张桂兰. DVB-T 系统的数字接收机中下变频技术的研究与仿真[D]. 武汉:武汉理工大学,2008.

[5] 薛金鑫,马崇鹤,周磊,等. 基于 CORDIC 算法的时域交织结构 NCO 设计[J]. 电子设计工程,2019,27(2): 6-10.

[6] RASHMI M MANI, Abdul Imran Rasheed. Design and implementation of WDF for digital down converter on FPGA for LTE application[C]//2014 International Conference on Advances in Electronics, Computers and Communications(ICAEECC). [S. l.], 2014.

[7] ZHUO Z H, LI S G, ZHANG Z C. Implementation of high-performance multi-structure digital down converter based on FPGA [C]//ICSP2012. Beijing, China, 2012,31-35.

[8] BHAT N S. Design and ASIC implementation of DUC/DDC for communication systems[J]. International Journal of Vlsi Design & Communication Systems, 2011, 2(4): 111-130.

作者简介:

汪旭兴 女,(1994-),硕士研究生. 研究方向为数模混合集成电路设计.

闫江 男,(1960-),博士,教授(千人),博士生导师. 研究方向为集成电路工艺仿真与测试分析.

吴旦昱 男,(1985-),博士,副研究员. 研究方向为数模混合集成电路设计.

周磊 男,(1986-),博士,副研究员. 研究方向为数模混合集成电路设计.

武锦(通讯作者) 女,(1978-),博士,研究员. 研究方向为数模混合集成电路设计. E-mail:wujin@ime.ac.cn.

贾涵博 男,(1994-),硕士研究生. 研究方向为数模混合集成电路设计.

张飞 男,(1981-),工程师. 研究方向为收发信机电路设计.